

#3/ Priority
8-17-99
VLS
jc551 U.S. PTO
09/313659
05/18/99

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Won-Suk YANG et al. : Attn: Applications Branch
Serial No.: [NEW] : Attorney Docket No.: SEC.636
Filed: May 18, 1999 :
For: METHOD FOR FABRICATING A SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Korean application:

Appln. No. 1998-18167 filed May 20, 1998

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

JONES VOLENTINE, L.L.P.



Brian C. Altmiller
Registration No. 37,271

JONES VOLENTINE, L.L.P.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870

Dated: May 18, 1999

jc551 U.S. PTO
09/313659
05/18/99

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

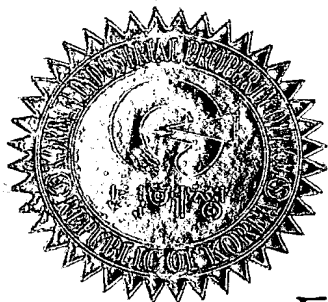
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1998년 특허출원 제18167호
Application Number

출원년월일 : 1998년 5월 20일
Date of Application

출원인 : 삼성전자주식회사
Applicant(s)



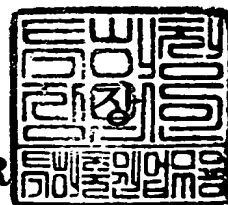
199 8 년 7 월 23 일

특

허

청

COMMISSIONER



특허출원서

【출원번호】 98-018167

【출원일자】 1998/05/20

【발명의 국문명칭】 반도체 장치의 제조 방법

【발명의 영문명칭】 METHOD OF FABRICATING A SEMICONDUCTOR DEVICE

【출원인】

【국문명칭】 삼성전자 주식회사

【영문명칭】 SAMSUNG ELECTRONICS CO., LTD.

【대표자】 윤종용

【출원인코드】 14001979

【출원인구분】 국내상법상법인

【전화번호】 02-760-6048

【우편번호】 442-370

【주소】 경기도 수원시 팔달구 매탄동 416번지

【국적】 KR

【대리인】

【성명】 임창현

【대리인코드】 H361

【전화번호】 02-3453-7631

【우편번호】 135-080

【주소】 서울특별시 강남구 역삼동 827-53 삼호빌딩 3층

【발명자】

【국문성명】 양원석

【영문성명】 YANG, WON SUK

【주민등록번호】 640404-1932511

【우편번호】 137-071

【주소】 서울특별시 서초구 서초1동 1617-10번지

【국적】 KR

【발명자】

【국문성명】 김기남

【영문성명】 KIM, KI NAM

【주민등록번호】 580414-1041425

【우편번호】 431-070

【주소】 경기도 안양시 동안구 평촌동 932-6번지 꿈마을 라이프 아파트 108동 502호

【국적】 KR

【발명자】

【국문성명】 조창현

【영문성명】 CHO, CHANG HYUN

【주민등록번호】 651223-1551121

【우편번호】 138-240

【주소】 서울특별시 송파구 신천동 17-6번지 미성아파트 9동 408호

【국적】 KR

【지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

임창현 (인)

【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

대리인

임창현 (인)

【수신처】 특허청장 귀하

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 21 면 21,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 16 항 621,000 원

【합계】 671,000 원

【첨부서류】 1. 요약서, 명세서(및 도면) 각 1통

2. 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통

3. 위임장(및 동 번역문)

【요약서】

【요약】

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 셀 어레이 영역과 주변 회로 영역을 정의하기 위해 반도체 기판상에 소자 격리 영역이 형성되고, 상기 셀 어레이 영역의 반도체 기판상에 제 1 게이트 전극, 주변 회로 영역의 반도체 기판상에 제 2 게이트 전극 및 제 3 게이트 전극이 형성된다. 상기 제 2 게이트 전극 및 상기 제 3 게이트 전극이 마스크로서 사용되어, 상기 제 2 게이트 전극 및 상기 제 3 게이트 전극의 양측의 반도체 기판상에 저농도 불순물 이온이 주입되어 제 1 도전형의 제 1 불순물 주입층이 형성되고, 상기 제 1 게이트 전극, 제 2 게이트 전극 및 제 3 게이트 전극의 양측벽에 제 1 스페이서가 형성된다. 상기 제 1 게이트 전극 및 제 1 스페이서가 마스크로서 사용되어 상기 제 1 게이트 전극의 제 1 스페이서 양측의 반도체 기판상에 저농도 불순물 이온이 주입되어 제 1 도전형의 제 2 불순물 주입층이 형성된다. 상기 제 3 게이트 전극 및 그의 제 1 스페이서가 마스크로서 사용되어 상기 제 3 게이트 전극의 제 1 스페이서 양측의 반도체 기판상에 저농도 불순물 이온이 주입되어 제 2 도전형의 제 3 불순물 주입층이 형성된다. 상기 제 1, 제 2 및 제 3 게이트 전극을 포함하여 상기 반도체 기판상에 스페이서 형성용 절연막이 형성되고, 상기 주변 회로 영역의 상기 스페이서 형성용 절연막이 식각되어 상기 제 2 게이트 전극 및 제 3 게이트 전극의 양측벽의 제 1 스페이서상에 제 2 스페이서가 형성된다. 상기 제 2 게이트 전극 및 그의 제 1 및 제 2 스페이서가 마스크로서 사용되어, 상기 제 2 게이트 전극의 제 1 및 제 2 스페이서

양측의 반도체 기판상에 고농도 불순물 이온이 주입되어 제 1 도전형의 제 4 불순물 주입층이 형성된다. 상기 제 3 게이트 전극 및 그의 제 1 및 제 2 스페이서가 마스크로서 사용되어, 상기 제 3 게이트 전극의 제 2 스페이서 양측의 고농도 p형 제 5 불순물 이온이 주입되어 제 2 도전형의 제 5 불순물 주입층이 형성된다. 이와 같은 반도체 장치 제조 방법에 의해서, 반도체 장치의 단 채널 효과와 핫 캐리어 효과를 방지할 수 있어 향상된 특성을 갖는 반도체 장치를 제공할 수 있다.

【대표도】

도 10c

【명세서】

【발명의 명칭】

반도체 장치의 제조 방법(METHOD OF FABRICATING A SEMICONDUCTOR DEVICE)

【도면의 간단한 설명】

도 1a 내지 도 1c 종래의 DRAM 장치의 제조 방법에 따른 DRAM장치를 나타내는 단면도;

도 2a 내지 도 2c 본 발명인 DRAM 장치의 제조 방법에 따라 주변 회로 영역에 저농도 n형 불순물 주입층이 형성된 DRAM 장치를 나타내는 단면도;

도 3a 내지 도 3c 본 발명인 DRAM 장치의 제조 방법에 따라 제 1 스페이서가 형성된 DRAM 장치를 나타내는 단면도;

도 4a 내지 도 4c 본 발명인 DRAM 장치의 제조 방법에 따라 셀 어레이 영역에 저농도 n형 불순물 주입층이 형성된 DRAM 장치를 나타내는 단면도;

도 5a 내지 도 5c 본 발명인 DRAM 장치의 제조 방법에 따라 주변 회로 영역에 저농도 p형 불순물 주입층이 형성된 DRAM 장치를 나타내는 단면도;

도 6a 내지 도 6c 본 발명인 DRAM 장치의 제조 방법에 따라 제 2 스페이서형성용 절연막이 형성된 DRAM 장치를 나타내는 단면도;

도 7a 내지 도 7c 본 발명인 DRAM 장치의 제조 방법에 따라 주변 회로 영역에 제 2 스페이서가 형성된 DRAM 장치를 나타내는 단면도;

도 8a 내지 도 8c 본 발명인 DRAM 장치의 제조 방법에 따라 주변 회로 영역에 고농도 n형 불순물 주입층이 형성된 DRAM 장치를 나타내는 단면도;

도 9a 내지 도 9c 본 발명인 DRAM 장치의 제조 방법에 따라 주변 회로 영역에 고농도 p형 불순물 주입층이 형성된 DRAM 장치를 나타내는 단면도;

도 10a 내지 도 10c 본 발명인 DRAM 장치의 제조 방법에 따라 주변 회로 영역에 실리사이드 막이 형성되고, 상기 주입층들이 어느 정도 확산된 DRAM 장치를 나타내는 단면도;

도 11a 내지 도 11c 본 발명인 DRAM 장치의 제조 방법에 따라 셀 어레이 영역에 콘택 홀이 형성된 DRAM 장치를 나타내는 단면도;

*** 도면의 주요 부분에 대한 부호의 설명**

100 : 반도체 기판

102 : 게이트 전극

104, 108 : 저농도 n 형 불순물 주입층

106, 112b : 스페이서

110 : 저농도 p형 불순물 주입층

112, 120 : 절연막

114 : 고농도 n형 불순물 주입층

116 : 고농도 p형 불순물 주입층

118 : 실리사이드막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 반도체 장치의 제조 방법 관한 것으로, 좀 더 구체적으로는 DRAM 장치의 제조 방법에 관한 것이다. DRAM 장치는 셀 어레이 영역과 주변 회로 영역으로 크게 구분 되는데, 상기 셀 어레이 영역에는 복수 개의 메모리 셀들이 매트릭스(matrix) 형태로 형성되고, 상기 주변 회로 영역에는 상기 메모리 셀들을 구동시

키기 위한 회로들이 형성된다.

상기 셀 어레이 영역과 주변 회로 영역에 각각 형성되는 트랜지스터들은 각각 그 용도가 다르기 때문에 그 용도에 맞게 상기 트랜지스터들의 특성이 최적화되어야 한다. 따라서, 셀 어레이 영역의 트랜지스터들은 저농도 불순물 영역으로 이루어진 단일 소오스/드레인 영역만으로 구성되고, 상기 주변 회로 영역의 트랜지스터들은 LDD 구조를 갖는 소오스/드레인 영역으로 구성된다.

상기 셀 어레이 영역과 주변 회로 영역의 트랜지스터에 있어서, 상기 셀 어레이 영역의 트랜지스터들은 단일 스페이서를 포함하고, 상기 주변 회로 영역의 트랜지스터들은 이중 구조를 갖고 있음을 특징으로 한다.

도 1a 내지 도 1c 종래의 DRAM 장치의 제조 방법에 따른 DRAM 장치를 나타내는 단면이다.

먼저, 도 1a 내지 도 1c는 참조하면, 도 1a는 셀어레이 영역의 제 1 NMOS 트랜지스터를 나타낸다. 반도체 기판상에 형성된 게이트 전극(12)과, 상기 게이트 전극(12)의 양측벽에 형성된 약 700\AA - 800\AA 범위내의 두께를 갖는 스페이서(14), 그리고 상기 스페이서(14) 양측의 반도체 기판(10)내에 형성된 저농도 n형 불순물 영역(16a)을 포함한다.

도 1b는 주변 회로 영역의 제 2 NMOS 트랜지스터를 나타내고, 도 1c는 주변 회로 영역의 PMOS 트랜지스터를 나타낸다. 상기 제 2 NMOS 트랜지스터는 반도체 기판(10)상에 형성된 게이트 전극(12), 상기 게이트 전극(12) 양측벽에 약 700\AA - 800\AA 범위내의 두께를 갖는 스페이서(14)를 포함하고, 상기 게이트 전극(12) 양측

의 반도체 기판내에 형성된 저농도 n형 불순물 영역(15a)과 상기 스페이서(14) 양측의 반도체 기판(10)내에 형성된 고농도 n형 불순물 영역(16b)을 포함한다. 따라서 상기 제 2 NMOS는 LDD 구조를 갖게 된다.

도 1c를 참조하면, 상기 PMOS는 반도체 기판(10)상에 형성된 게이트 전극(12), 상기 게이트 전극(12) 양측벽에 약 700Å - 800Å 범위내의 두께를 갖는 스페이서(14)를 포함하고, 상기 게이트 전극(12) 양측의 반도체 기판내에 형성된 저농도 p형 또는 n형 불순물 영역(15b)과 상기 스페이서(14) 양측의 반도체 기판(10)내에 형성된 고농도 p형 불순물 영역(16c)을 포함한다. 따라서, 상기 PMOS는 LDD 구조를 갖게 된다.

n형 불순물 영역을 구성하는 n형 불순물로는 인(P), 비소(As)등이 있다. 그런데 비소는 인보다 상대적으로 분자량이 크고, 무겁기 때문에 이온 주입시, 반도체 기판에 손상을 입혀 누설 전류를 발생시키는 단점이 있고, 인은 비소에 비해 상대적으로 확산도가 크기 때문에 트랜지스터의 단 채널 효과(short channel effect)를 발생시키는 단점이 있다.

따라서, 확실한 온/오프(ON/OFF) 기능과 긴 리프레쉬 시간을 위해 누설 전류의 감소가 크게 요구되는 셀 어레이 영역의 트랜지스터에는 인이 사용되는 것이 일반적이고, 주변 회로영역의 트랜지스터에서는, 롱 채널(long channel) 트랜지스터일 경우, 인(P) 이온이 사용되고, 단 채널(short channel)일 경우, 누설 전류의 손실이 있더라도 트랜지스터의 기본 특성을 위해 비소(As)가 사용되는 것이 일반적이다.

앞서 언급한 바와 같이, 인(P) 이온은 확산도가 크기 때문에 슷 채널 효과를 증대 시키는 단점이 있으므로, 상기 셀 어레이 영역에 있는 NMOS 트랜지스터에 있어서, 먼저 게이트 전극 양측벽에 스페이서가 형성된 후, 상기 게이트 전극과 스페이서가 마스크로서 사용되는 이온 주입 공정으로 n형 불순물 주입층이 형성되어, 최대의 유효 채널 길이가 확보된다. 그런데, 이 경우 상기 n형 불순물이 상기 게이트 전극의 양측 반도체 기판내 까지 확산될 수 있도록 열처리 공정이 수행되는데, 원하는 위치까지 상기 n형 불순물이 확산되는 것을 제어하는 하는 것이 어렵고, 주변 회로 영역의 불순물도 동시에 확산되어 주변 회로 영역에 있는 트랜지스터들의 유효 채널 길이가 감소된다. 이로인해, 소자 페일(fail)이 발생된다.

특히, 주변 회로 영역의 PMOS를 구성하고 있는 p형 불순물 영역은 매우 큰 확산도를 갖는 붕소로 형성되기 때문에, 상기 PMOS는 상기 유효 채널 길이의 감소에 의한 영향을 더욱 크게 받게된다.

앞서 언급한 것 처럼, 도 1c는 주변 회로 영역의 PMOS를 나타낸다. 도 1c에서 저농도 p형 불순물 영역이 저농도 n형 불순물 영역(16c)으로 대체 되어 형성될 수 있다. 이와 같이 저농도 n형 불순물 영역으로 저농도 p형 불순물 영역이 대체되면, 상기 셀 어레이 영역의 저농도 n형 불순물을 확산 시키기 위한 열처리 공정시, PMOS의 유효 채널 길이를 감소시키는 문제점을 방지할 수 있다.

그러나, PMOS 트랜지스터의 구조를 도 1c에 도시된 바와 같이 형성할 경우, 후속 열처리공정에 의해 고농도 p형 불순물이 반드시 저농도 n형 불순물 영역과 오버랩 되도록 하여야 하기 때문에 스페이서의 두께 및 열처리 조건을 잘 조절해야

하는 어려움이 있다. 그리고, 고농도의 p형 불순물의 확산에 의해, LDD 영역의 저농도 n형 영역(16c)의 불순물이 확산되지만 상기 p형 불순물의 농도가 약 100배 이상이기 때문에, 여전히 LDD 영역이 p형 고농도를 유지하게 된다. 따라서, 핫 캐리어 효과를 제대로 방지할 수 없는 새로운 문제점이 발생된다.

【발명이 이루고자 하는 기술적 과제】

본 발명은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 후속 열처리 공정시 트랜지스터의 불순물 이온이 측면 확산함으로써, 트랜지스터의 유효 채널 길이가 감소되는 것을 방지할 수 있어, 단 채널 효과를 방지할 수 있고, 핫 캐리어 효과를 방지할 수 있어 향상된 반도체 장치의 제조 방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

(구성)

상술한 목적을 달성하기 위해 제안된 본 발명의 특징에 의하면, 반도체 장치의 제조 방법은, 셀 어레이 영역과 주변 회로 영역을 정의하기 위해 반도체 기판상에 소자 격리 영역을 형성하는 단계와; 상기 셀 어레이 영역의 반도체 기판상에 제 1 게이트 전극, 주변 회로 영역의 반도체 기판상에 제 2 게이트 전극 및 제 3 게이트 전극을 형성하는 단계와; 상기 제 2 게이트 전극 및 상기 제 3 게이트 전극을 마스크로서 사용하여, 상기 제 2 게이트 전극 및 상기 제 3 게이트 전극의 양측의 반도체 기판상에 저농도 불순물 이온을 주입하여 제 1 도전형의 제 1 불순물 주입층을 형성하는 단계; 상기 제 1 게이트 전극, 제 2 게이트 전극 및 제 3 게이트 전

극의 양측벽에 제 1 스페이서를 형성하는 단계와; 상기 제 1 게이트 전극 및 제 1 스페이서를 마스크로서 사용하여 상기 제 1 게이트 전극의 제 1 스페이서 양측의 반도체 기판상에 저농도 불순물 이온을 주입하여 제 1 도전형의 제 2 불순물 주입층을 형성하는 단계와; 상기 제 3 게이트 전극 및 그의 제 1 스페이서를 마스크로서 사용하여 상기 제 3 게이트 전극의 제 1 스페이서 양측의 반도체 기판상에 저농도 불순물 이온을 주입하여 제 2 도전형의 제 3 불순물 주입층을 형성하는 단계와; 상기 제 1, 제 2 및 제 3 게이트 전극을 포함하여 상기 반도체 기판상에 스페이서 형성용 절연막을 형성하는 단계와; 상기 주변 회로 영역의 상기 스페이서 형성용 절연막을 식각하여 상기 제 2 게이트 전극 및 제 3 게이트 전극의 양측벽의 제 1 스페이서 상에 제 2 스페이서를 형성하는 단계와; 상기 제 2 게이트 전극의 및 그의 제 1 및 제 2 스페이서를 마스크로서 사용하여, 상기 제 2 게이트 전극의 제 1 및 제 2 스페이서 양측의 반도체 기판상에 고농도 불순물 이온을 주입하여 제 1 도전형의 제 4 불순물 주입층을 형성하는 단계와; 상기 제 3 게이트 전극의 및 그의 제 1 및 제 2 스페이서를 마스크로서 사용하여, 상기 제 3 게이트 전극의 제 2 스페이서 양측의 고농도 p형 제 5 불순물 이온을 주입하여 제 2 도전형의 제 5 불순물 주입층을 형성하는 단계를 포함한다.

상술한 목적을 달성하기 위해 제안된 본 발명의 다른 특징에 의하면, 반도체 장치의 제조방법은, 반도체 기판상에 게이트 전극을 형성하는 단계와; 상기 게이트 전극을 마스크로서 사용하여 상기 게이트 전극 양측의 반도체 기판상에 저농도 제 1 도전형 불순물 이온을 주입하여 제 1 불순물 주입층을 형성하는 단계와; 상기 게

이트 전극의 양측벽에 제 1 스페이서를 형성하는 단계와; 상기 제 1 스페이서와 게이트 전극을 마스크로서 사용하여 상기 제 1 스페이서 양측의 반도체 기판상에 저농도 제 2 도전형 불순물 이온을 주입하여 제 2 불순물 주입층을 형성하는 단계와; 상기 제 1 스페이서 상에 제 2 스페이서를 형성하는 단계와; 상기 제 1 스페이서, 제 2 스페이서 및 게이트 전극을 마스크로서 사용하여, 고농도 제 2 도전형 불순물 이온을 주입하여 제 3 불순물 주입층을 형성하는 단계와; 상기 불순물 주입층들이 확산하도록 열처리 하되, 상기 제 1 불순물 주입층과 제 2 불순물 주입층이 확산하여 서로 오버랩되도록 하는 단계를 포함한다.

도 10c를 참조하면, 본 발명의 실시예에 따른 신규한 반도체 장치의 제조방법은, 게이트 전극 양측의 반도체 기판상에 저농도 제 1 도전형 불순물 이온을 주입하고, 상기 게이트 전극의 양측벽에 제 1 스페이서 양측의 반도체 기판상에 저농도 제 2 도전형 불순물 이온을 주입 하고, 상기 게이트 전극의 양측벽에 제 1 및 제 2 스페이서 양측의 반도체 기판상에 고농도 제 2 도전형 불순물 이온을 주입한다. 다음 상기 주입된 이온들을 열처리를 통해 확산 시킨다. 이와 같은 반도체 장치의 제조 방법에 의해서, 확산 공정 중 이중 LDD 구조가 형성될 수 있어, 단 채널 효과와 핫 캐리어 효과를 방지할 수 있다.

(실시예)

이하, 참조 도면 2a 내지 11a, 2b 내지 11b 및 2c 내지 11c를 참조하여 본 발명의 실시예를 상세히 설명한다.

도면 2a 내지 11a, 2b 내지 11b 및 2c 내지 11c는 본 발명에 따른 DRAM 장

치의 제조 방법을 순차적으로 나타내는 도면이다.

먼저, 도 2a 내지 도 2c를 참조하면, 먼저 반도체 기판(100)내에 셀어레이 영역과 주변회로 영역을 정의하여 소자 격리 영역(도면 미도시)이 형성된다. 상기 반도체 기판(100)상에 도전막, 예컨대 폴리실리콘막이 증착된 후, 이것이 패터닝되어 도 2a에 도시된, 셀 어레이 영역의 제 1 NMOS 트랜지스터의 제 1 게이트 전극(102), 도 2b에 도시된, 주변 회로 영역 제 2 NMOS 트랜지스터의 제 2 게이트 전극(102) 및 도 2c에 도시된, 주변 회로 영역의 PMOS 트랜지스터의 제 3 게이트 전극(102)이 각각 형성된다.

디자인 룰에 대해 셀 어레이 영역이 주변 회로 영역 보다 더 집적적인 영향을 받기 때문에 셀 어레이 영역에 형성되는 제 1 NMOS 트랜지스터의 제 1 게이트 전극 폭이 주변 회로 영역에 형성되는 트랜지스터의 제 2 게이트 전극의 폭 및 제 3 게이트 전극의 폭보다 상대적으로 작다. 상기 게이트 전극은 폴리실리콘막으로 형성된다.

상기 게이트 전극(102)들을 포함하여, 상기 반도체 기판(100)상에 포토레지스트막이 형성된 후, 사진 식각 기술로 상기 포토레지스트막이 식각되어 주변 회로 영역을 노출시키는 제 1 포토레지스트막 패턴(103)이 형성된다. 즉, 셀 어레이 영역은 상기 제 1 포토레지스트막 패턴(103)에 의해 가려지게 된다.

이어서, 상기 제 1 포토레지스트막 패턴(103)과 상기 주변 회로 영역 게이트 전극들(102)을 마스크로서 사용되어 저농도 n형 불순물 이온, 예컨대 비소(As) 이온이 반도체 기판(100)상에 주입되어 저농도 n형 제 1 불순물 주입층(104)이 형성

된다. 이 경우, 5×10^{12} ions/cm² 의 도즈를 갖는 비소(As)가 50 keV의 에너지로 주입된다.

도 3a 내지 도 3c를 참조하면, 상기 제 1 포토레지스트막 패턴(103)이 제거된 후, 상기 게이트 전극들(102)을 포함하여 반도체 기판(100)상에 스페이서 형성을 위한 절연막이 형성된다. 예컨대, 실리콘 질화막이 형성된다. 상기 절연막이 이방성 식각 되어 셀 어레이 영역과 주변 회로 영역의 게이트들(102)의 양측벽에 각각 약 400Å의 두께를 갖는 제 1 스페이서(106)가 형성된다.

도 4a 내지 도 4c를 참조하면, 앞서 언급한 바와 같은 방법으로, 셀 어레이 영역을 노출시키는 제 2 포토레지스트막 패턴(107)이 형성된다. 즉 주변 회로 영역은 제 2 포토레지스트막 패턴(107)으로 가려지게 된다. 상기 포토레지스트막 패턴(107)과 제 1 게이트 전극(102) 및 제 1 스페이서(106)가 마스크로서 사용되어 저농도 n형 불순물 이온, 예컨대 인(P) 이온이 반도체 기판에 주입되어, 셀 어레이 영역에 있는 NMOS 트랜지스터의 제 1 스페이서(106) 양측의 반도체 기판(100)내에 저농도 n형 제 2 불순물 주입층(108)이 형성된다. 이 경우, 5×10^{12} ions/cm² 의 도즈를 갖는 인(P)이 30 keV의 에너지로 주입된다. 이 경우 상기 제 2 불순물 주입층(108)의 인(P) 이온은 상기 제 1 불순물 주입층(104)의 비소(As) 이온 보다 상대적으로 확산도가 더 크다.

도 5a 내지 도 5c를 참조하면, 상기 제 2 포토레지스트막 패턴(107)이 제거된 후, 주변 회로 영역에 PMOS 트랜지스터가 형성될 영역을 노출시키는 제 3 포토레지스트막 패턴(109)이 형성된다. 즉 셀 어레이 영역과 제 2 NMOS 영역은 제 3

포토리저스트막 패턴(109)에 의해 가려지게 된다.

상기 제 3 포토리저스트막 패턴(109), 제 3 게이트 전극(102) 및 제 1 스페이서(106)가 마스크로서 사용되어 p형 불순물 이온, 예컨대 붕소 또는 플루오르화 붕소 이온이 주입되어 저농도 p형 제 3 불순물 주입층(110)이 형성된다. 이 경우, $1 \times 10^{13} \text{ ions/cm}^2$ 의 도즈를 갖는 붕소 또는 플루오르화 붕소가 20 keV의 에너지로 주입된다.

다음, 도 6a 내지 도 6c를 참조하면, 상기 제 3 포토리저스트막 패턴(109)이 제거된 후, 상기 게이트 전극(102)들을 포함하여 반도체 기판(100)상에 셀 어레이 영역의 실리사이드화 방지 및 제 2 스페이서 형성용 절연막(112), 예컨대 실리콘 질화막이 형성된다.

도 7a 내지 도 7c를 참조하면, 상기 반도체 기판(100)상의 주변 회로 영역을 노출 시키는 제 4 포토리저스트막 패턴(111)이 형성된 후, 상기 제 4 포토리저스트막 패턴(111)이 마스크로서 사용되고, 상기 절연막(112)이 이방성 식각되어, 주변 회로 영역에 있는 게이트 전극(102) 양측의 제 1 스페이서(106)상에 약 400Å 의 두께를 갖는 제 2 스페이서(112b)가 형성되어 이중 스페이서가 구성된다. 그리고, 상기 식각 공정 중, 상기 제 4 포토리저스트막 패턴(111)에 의해 가려져 식각되지 않고 남아 있는 셀 어레이 영역의 상기 스페이서 형성용 절연막(112a)은 후속 공정에서 실리사이드 방지막으로 작용한다. 제 4 포토리저스트막 패턴(111)이 제거된다.

도 8a 내지 도 8c를 참조하면, 주변 회로 영역의 제 2 NMOS가 형성될 영역을

노출 시키는 제 5 포토레지스트막 패턴(113)이 형성된다. 즉 셀 어레이 영역과 주변 회로 영역의 PMOS 영역은 제 5 포토레지스트막 패턴(113)에 의해 가려진다. 상기 제 5 포토레지스트막 패턴(113), 게이트 전극(102), 제 1 스페이서(106) 및 제 2 스페이서(112b)가 마스크로서 사용되어 고농도 n형 제 3 불순물 이온, 예컨대, 비소(As) 이온이 반도체 기판내에 주입되어 고농도 n형 제 4 불순물 주입층(114)이 형성된다. 이 경우, 5×10^{15} ions/cm²의 도즈를 갖는 비소(As)가 20 keV의 에너지로 주입된다.

도 9a 내지 도 9c를 참조하면, 상기 제 5 포토레지스트막 패턴(113)이 제거된 후, 앞서 언급한 방법으로 반도체 기판(100)상에 주변회로 영역의 PMOS 트랜지스터가 형성될 영역이 노출 되도록 제 6 포토레지스트막 패턴(115)이 형성된다. 상기 제 6 포토레지스트막 패턴(115), 제 3 게이트 전극(102), 제 1 스페이서(106) 및 제 2 스페이서(112b)가 마스크로서 사용되어, p형 불순물 이온, 예컨대, 플루오르화 붕소나 붕소가 이온 주입되어 고농도 p형 제 5 불순물 주입층(116)이 형성된다. 이 경우 5×10^{15} ions/cm²의 도즈를 갖는 플루오르화 붕소나 붕소가 20 keV의 에너지로 주입된다.

그 결과, PMOS 게이트 전극 양측의 반도체 기판내에 저농도의 n형 제 1 불순물 주입층(104), 저농도의 p형 제 3 불순물 주입층(110) 및 고농도의 p형 제 5 불순물 주입층(116)이 형성된다. 그리고, 상기 제 6 포토레지스트막 패턴(115)이 제거된다.

도 10a 내지 도 10c를 참조하면, DRAM 장치의 소비 전력을 낮추고, 동작 속

도를 향상 시키기 위한 실리사이드막 형성 공정이 진행된다. 상기 반도체 기판 전면에서 Ti, Ta, Co 또는 Mo과 같은 전이 금속막(도면 미도시)이 적층된다. 이어 열처리 공정이 수행되어, 상기 전이 금속이 주변 회로 영역에 있는 게이트 전극(102)들의 상부, 즉 폴리실리콘막의 상부와 주변 회로 영역 노출된 실리콘 기판(100)과 반응하여 실리사이드막이 형성 되도록 한다. 실리사이드막 형성 공정 동안, 셀 어레이 영역에 형성되어 있는 스페이서 형성용 절연막(112a)은 셀 어레이 영역에 실리사이드막이 형성되는 것을 방지한다. 이는 셀 어레이 영역에 있는 트랜지스터들에 실리사이드화 반응을 허용하게 되면 누설 전류가 커지는 문제점이 발생하기 때문이다.

이 실리사이드막 형성 공정에서의 열에 의해, 상기 불순물 주입층들이 확산하여 셀 어레이 영역의 제 1 게이트 전극 양측의 반도체 기판내에 저농도 n형 제 2 불순물 영역(108a)이 형성되고, 상기 주변 회로 영역의 제 2 게이트 전극 양측의 반도체 기판(100)내에 저농도 n형 제 1 불순물 영역(104a), 상기 제 2 게이트 전극의 제 2 스페이서 양측의 반도체 기판내에 고농도 n형 제 4 불순물 영역(114a)이 형성되고, 상기 주변 회로 영역의 제 3 게이트 전극 양측의 반도체 기판(100)내에 저농도 n형 제 1 불순물 영역(104a), 상기 제 3 게이트 전극의 제 1 스페이서(106) 양측의 반도체 기판내에 저농도 p형 제 3 불순물 영역(110a)이 형성되고, 상기 제 3 게이트 전극의 제 2 스페이서(112b) 양측의 반도체 기판내에 고농도 p형 제 5 불순물 영역(116a)이 형성된다.

후속 막 형성시, 반도체 장치에 가해지는 열로 인해 상기 제 3 게이트 전극

양측의 저농도 n형 제 1 불순물 영역(104a)과 저농도 p형 제 3 불순물 영역(110a)이 오버랩(overlap) 되어 n형 제 1 불순물 영역(104a)이 저농도의 p형 불순물 영역으로 바뀌게 된다.

실리사이드막 형성 후, 실리사이드 방지막(112a), 실리사이드막(118) 및 제 2 스페이서(112b)가 식각되지 않는 선택적 식각으로 미반응 상태로 남아있는 상기 전이 금속막이 제거된다. 그 결과, 소오스/드레인 영역의 면 저항을 낮추어 DRAM의 동작 속도가 향상된다.

도 11a 내지 도 11c를 참조하면, 상기 반도체 기판(100)상에 층간 절연막(120)을 형성한 후, 상기 층간 절연막(120)상에 셀 어레이 영역의 도전층간의 전기적 연결을 위한 콘택 홀을 정의하여, 앞서 언급한 바와 같은 방법으로 제 7 포토레지스트막 패턴(도면 미도시)이 형성된다. 상기 제 7 포토레지스트막 패턴을 마스크로서 사용하는 이방성 식각 공정으로 콘택 홀이 형성된다. 상기 이방성 식각 공정에서는, 상기 층간 절연막의 식각비가 상기 스페이서 형성을 위한 절연막(112a)의 식각비에 비해 적어도 5 배는 크기 때문에 자기 정렬형 콘택 홀이 구성될 수 있으며, 과도한 식각에 의해 반도체 기판이 손상입는 것을 최대한 감소시킬 수 있어 안정적인 반도체 장치의 구성이 용이하다.

셀 어레이 영역의 NMOS 트랜지스터는 단일 스페이서와 저농도의 n형 불순물 영역(108a)으로 이루어진 단일 소오스/드레인 영역으로 구성되어 있다. 반면, 주변 회로 영역의 트랜지스터들은 이중 스페이서로 구성되어 있다. 그리고 주변 회로 영역의 NMOS 트랜지스터는 저농도의 n형 불순물 영역(104a)과 고농도의 n형 불

순물 영역(114a)로 이루어진 LDD 구조의 소오스/드레인 영역으로 구성되는 반면 주변 회로 영역의 PMOS 트랜지스터는 저농도의 n형 불순물 영역(104a), 저농도의 p형 불순물 영역(110a) 및 고농도의 p형 불순물 영역(116a)로 이루어진 이중 LDD 구조의 소오스/드레인 영역으로 구성된다. 주변 회로 영역의 PMOS 트랜지스터가 이중 LDD 구조로 형성되기 때문에 단 채널 효과를 방지할 수 있으며, 핫 캐리어 효과를 효과적으로 감소시킬 수 있다. 또한 셀 어레이 영역에서는 실리사이드 방지막이면서, 도전층 연결을 위한 식각 정지층을 구비함으로써 공정을 단순화하여 안정적인 소자 구현을 할 수 있다.

도면 및 상세한 설명에서 본 발명의 바람직한 실시예가 기술되었고, 특정 용어가 사용되었으나, 이는 이하의 청구범위에 개시되어 있는 발명의 범주로 이를 제한하고자 하는 목적이 아니라 기술적인 개념에서 사용된 것이다. 따라서 본 발명은 상시 실시예에 한정되지 않고 당업자의 수준에서 그 변형 및 개량이 가능하다. 특히 소자의 특성에 따라 셀 어레이부에는 자기 정렬형 콘택홀을 구성하는데 식각 정지층으로 사용되는 반면에 주변 회로의 경우는 실리사이드 구성이 없는 이중 구조의 반도체 장치의 구조를 구현하거나, 주변 회로만 실리사이드 구조를 갖는 반면 셀 어레이부는 식각 정지층의 용도로 사용하지 않을 수도 있다.

【발명의 효과】

본 발명에 따른 반도체 장치의 제조 방법에서는 주변 회로 영역의 PMOS 트랜지스터의 소오스/드레인 영역을 저농도의 n형 불순물 영역, 저농도의 p형 불순물 영역 및 고농도의 p형 불순물 영역으로 이루어진 이중 LDD 구조로 형성한다. 따라

서, 확산도가 p형 불순물보다 낮은 저농도의 n형 불순물 영역이 채널에 인접하여 존재하기 때문에 셀 어레이 영역의 n형 불순물 영역이 게이트의 가장자리 부분까지 확산될 수 있도록 하는 후속 열처리 공정시 PMOS 트랜지스터의 불순물 영역의 측면 확산에 의한 유효 채널 길이가 감소하는 문제를 방지할 수 있고, 또, n형 불순물 영역이 도 1c에 도시되어 있는 종래의 LDD 구조의 n형 불순물 영역에 비해 얇기 때문에 저농도의 p형 불순물 영역이 n형 불순물 영역과 쉽게 오버랩 될 수 있다. 그리고 고농도의 p형 불순물 영역과 저농도의 n형 불순물 영역이 직접 접촉하지 않고 저농도의 p형 불순물의 확산에 의해 저농도 n형 불순물 영역이 오버랩 되어 핫 캐리어 효과가 발생하는 것을 방지할 수 있는 효과가 있다.

【특허 청구범위】

【청구항 1】

셀 어레이 영역과 주변 회로 영역을 정의하기 위해 반도체 기판상에 소자 격리 영역을 형성하는 단계와;

상기 셀 어레이 영역의 반도체 기판상에 제 1 게이트 전극, 주변 회로 영역의 반도체 기판상에 제 2 게이트 전극 및 제 3 게이트 전극을 형성하는 단계와;

상기 제 2 게이트 전극 및 상기 제 3 게이트 전극을 마스크로서 사용하여, 상기 제 2 게이트 전극 및 상기 제 3 게이트 전극의 양측의 반도체 기판상에 저농도 불순물 이온을 주입하여 제 1 도전형의 제 1 불순물 주입층을 형성하는 단계와;

상기 제 1 게이트 전극, 제 2 게이트 전극 및 제 3 게이트 전극의 양측벽에 제 1 스페이서를 형성하는 단계와;

상기 제 1 게이트 전극 및 제 1 스페이서를 마스크로서 사용하여 상기 제 1 게이트 전극의 제 1 스페이서 양측의 반도체 기판상에 저농도 불순물 이온을 주입하여 제 1 도전형의 제 2 불순물 주입층을 형성하는 단계와;

상기 제 3 게이트 전극 및 그의 제 1 스페이서를 마스크로서 사용하여 상기 제 3 게이트 전극의 제 1 스페이서 양측의 반도체 기판상에 저농도 불순물 이온을 주입하여 제 2 도전형의 제 3 불순물 주입층을 형성하는 단계와;

상기 제 1, 제 2 및 제 3 게이트 전극을 포함하여 상기 반도체 기판상에 스페이서 형성용 절연막을 형성하는 단계와;

상기 주변 회로 영역의 상기 스페이서 형성용 절연막을 식각하여 상기 제 2

게이트 전극 및 제 3 게이트 전극의 양측벽의 제 1 스페이서 상에 제 2 스페이서를 형성하는 단계와;

상기 제 2 게이트 전극의 및 그의 제 1 및 제 2 스페이서를 마스크로서 사용하여, 상기 제 2 게이트 전극의 제 1 및 제 2 스페이서 양측의 반도체 기판상에 고농도 불순물 이온을 주입하여 제 1 도전형의 제 4 불순물 주입층을 형성하는 단계와;

상기 제 3 게이트 전극의 및 그의 제 1 및 제 2 스페이서를 마스크로서 사용하여, 상기 제 3 게이트 전극의 제 2 스페이서 양측의 고농도 p형 제 5 불순물 이온을 주입하여 제 2 도전형의 제 5 불순물 주입층을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 제 1 불순물 주입층 이온의 확산도는 상기 제 2 불순물 주입층 이온의 그것 보다 상대적으로 작은 반도체 장치의 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 게이트 전극은 폴리실리콘으로 형성되는 반도체 장치의 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 제 1 불순물 주입층의 형성 단계는 약 5×10^{12} ions/cm²의 도즈를 갖

는 비소(As)를 사용하여 약 50 keV 의 에너지에서 수행되는 반도체 장치의 제조방법.

【청구항 5】

제 1 항에 있어서,

상기 제 2 불순물 주입층의 형성 단계는 약 5×10^{12} ions/cm² 의 도즈를 갖는 인(P)을 사용하여 약 30 keV 의 에너지에서 수행되는 반도체 장치의 제조방법.

【청구항 6】

제 1 항에 있어서,

상기 제 3 불순물 주입층의 형성 단계는 약 1×10^{13} ions/cm²의 도즈를 갖는 플로우르화 붕소(BF₃) 및 붕소 중 선택된 한 이온을 사용하여 약 20 keV 의 에너지에서 수행되는 반도체 장치의 제조방법.

【청구항 7】

제 1 항에 있어서,

상기 제 4 불순물 주입층의 형성 단계는 약 5×10^{15} ions/cm²의 도즈를 갖는 비소(As)를 사용하여 약 50 keV 의 에너지에서 수행되는 반도체 장치의 제조방법.

【청구항 8】

제 1 항에 있어서,

상기 제 5 불순물 주입층의 형성 단계는 약 5×10^{15} ions/cm²의 도즈를 갖는 플로우르화 붕소(BF₃) 및 붕소 이온 중 선택된 한 이온을 사용하여 약 20 keV 의

에너지에서 수행되는 반도체 장치의 제조방법.

【청구항 9】

제 1 항에 있어서,

후속 실리사이드막 형성 공정에서, 상기 셀어레이 영역에 남겨진 스페이스 형성용 절연막은 셀 어레이 영역에서의 실리사이드화를 방지하는 베리어(barrier)막 작용을 하는 반도체 장치의 제조방법.

【청구항 10】

제 1 항에 있어서,

상기 제 5 불순물 주입층 형성 후, 주변 회로 영역의 반도체 기판, 제 2 및 제 3 게이트 전극 상에 실리사이드막을 형성하는 단계와;

반도체 기판상에 층간 절연막을 형성하는 단계와;

상기 셀 어레이 영역의 제 1 게이트 전극의 일측에 있는 반도체 기판의 일부가 노출 될 때까지 상기 층간 절연막의 일부를 식각하여 콘택 홀을 형성하되, 상기 스페이스 형성용 절연막이 식각 정지층으로 작용하는 단계를 더 포함하는 반도체 장치 제조방법.

【청구항 11】

제 10 항에 있어서,

상기 층간 절연막의 식각비는 스페이스 형성용 절연막의 그것 보다 상대적 5 배 더 큰 반도체 장치 제조 방법.

【청구항 12】

반도체 기판상에 게이트 전극을 형성하는 단계와;

상기 게이트 전극을 마스크로서 사용하여 상기 게이트 전극 양측의 반도체 기판상에 저농도 제 1 도전형 불순물 이온을 주입하여 제 1 불순물 주입층을 형성하는 단계와;

상기 게이트 전극의 양측벽에 제 1 스페이서를 형성하는 단계와;

상기 제 1 스페이서와 게이트 전극을 마스크로서 사용하여 상기 제 1 스페이서 양측의 반도체 기판상에 저농도 제 2 도전형 불순물 이온을 주입하여 제 2 불순물 주입층을 형성하는 단계와;

상기 제 1 스페이서 상에 제 2 스페이서를 형성하는 단계와;

상기 제 1 스페이서, 제 2 스페이서 및 게이트 전극을 마스크로서 사용하여, 고농도 제 2 도전형 불순물 이온을 주입하여 제 3 불순물 주입층을 형성하는 단계와;

상기 불순물 주입층들이 확산하도록 열처리 하되, 상기 제 1 불순물 주입층과 제 2 불순물 주입층이 서로 오버랩되도록 하는 단계를 포함하는 MOS 트랜지스터 제조 방법.

【청구항 13】

제 12 항에 있어서,

상기 제 1 도전형은 n 형 인 MOS 트랜지스터 제조 방법.

【청구항 14】

제 12 항에 있어서,

상기 제 1 불순물 주입층의 형성 단계는 약 5×10^{12} ions/cm²의 도즈를 갖는 비소(As)를 사용하여 약 50 keV의 에너지에서 수행되는 반도체 장치의 제조방법.

【청구항 15】

제 12 항에 있어서,

상기 제 2 불순물 주입층의 형성 단계는 약 1×10^{13} ions/cm²의 도즈를 갖는 플로우르화 붕소(BF₃) 및 붕소 중 선택된 한 이온을 사용하여 약 20 keV의 에너지에서 수행되는 반도체 장치의 제조방법.

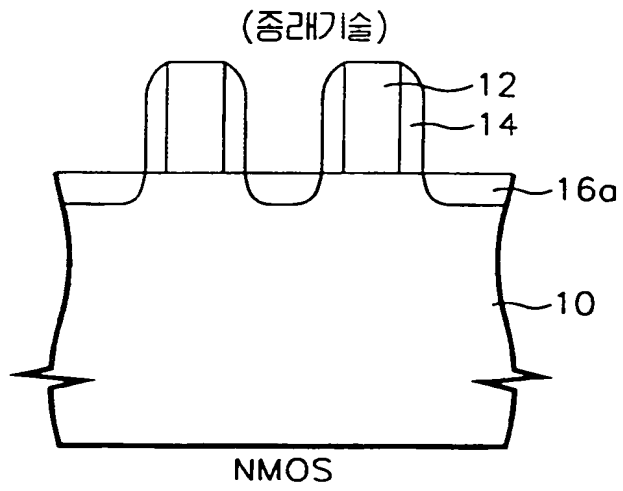
【청구항 16】

제 12 항에 있어서,

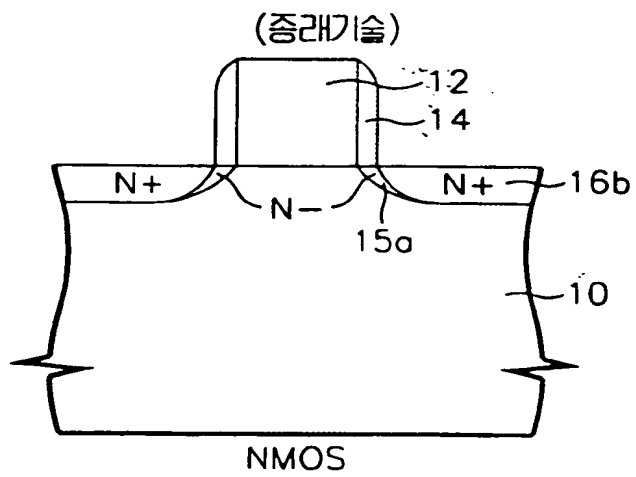
상기 제 3 불순물 주입층의 형성 단계는 약 5×10^{15} ions/cm²의 도즈를 갖는 플로우르화 붕소(BF₃) 및 붕소 중 선택된 한 이온을 사용하여 약 20 keV의 에너지에서 수행되는 반도체 장치의 제조방법.

【도면】

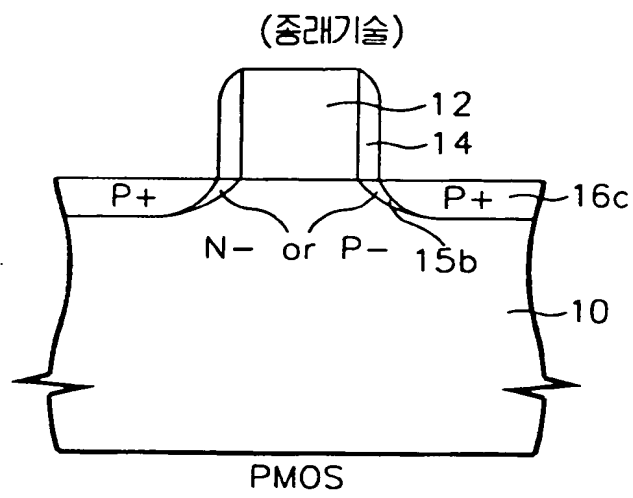
【도 1a】



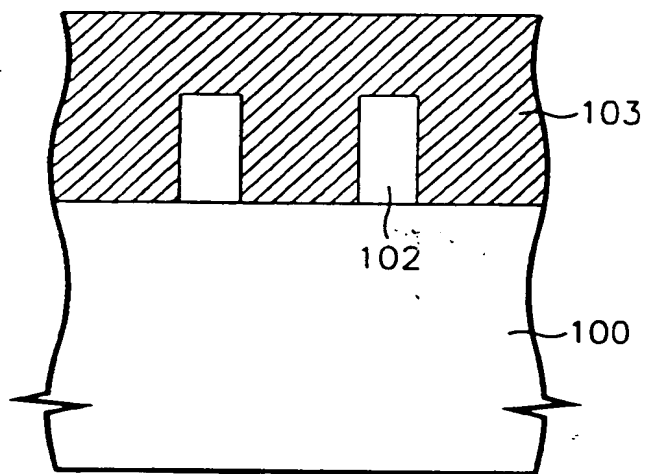
【도 1b】



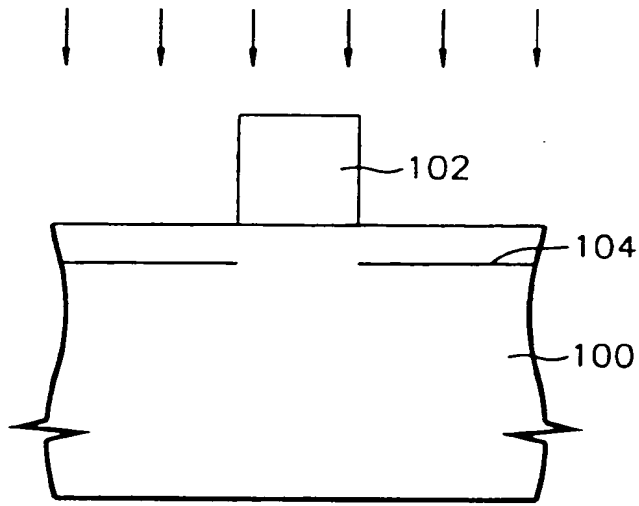
【도 1c】



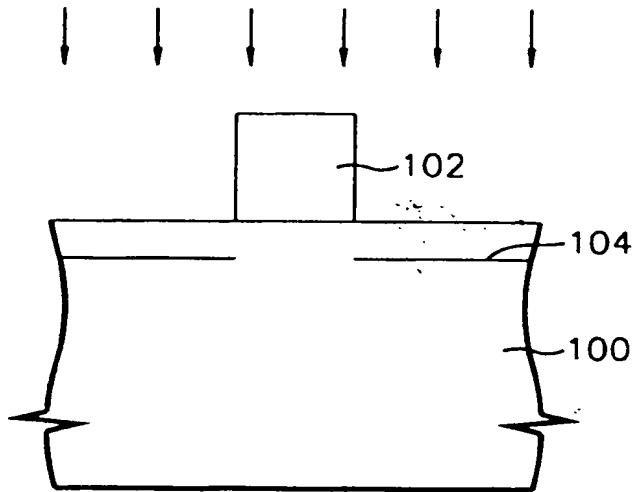
【도 2a】



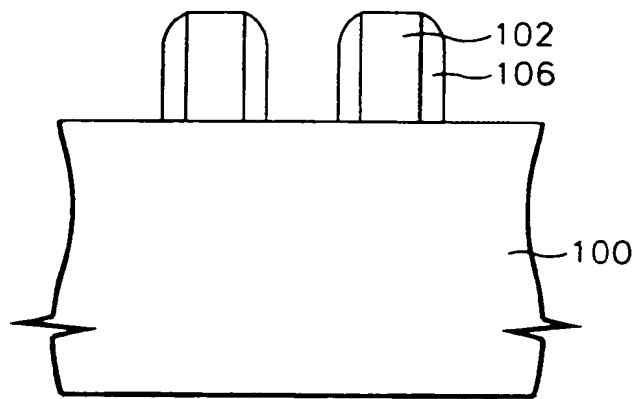
【도 2b】



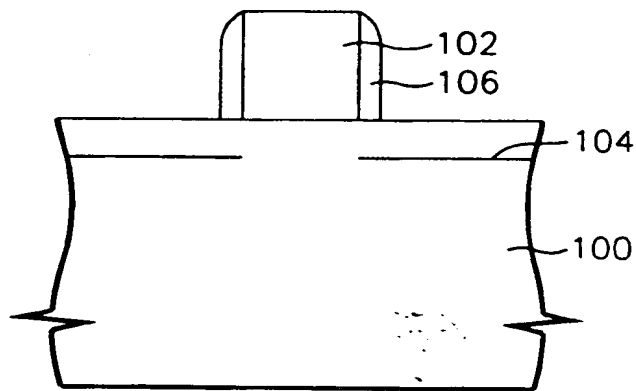
【도 2c】



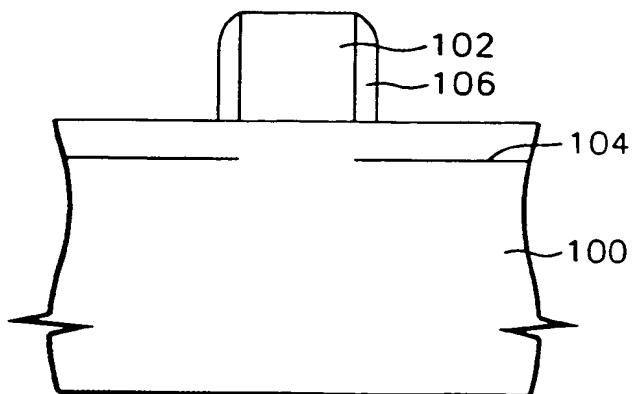
【도 3a】



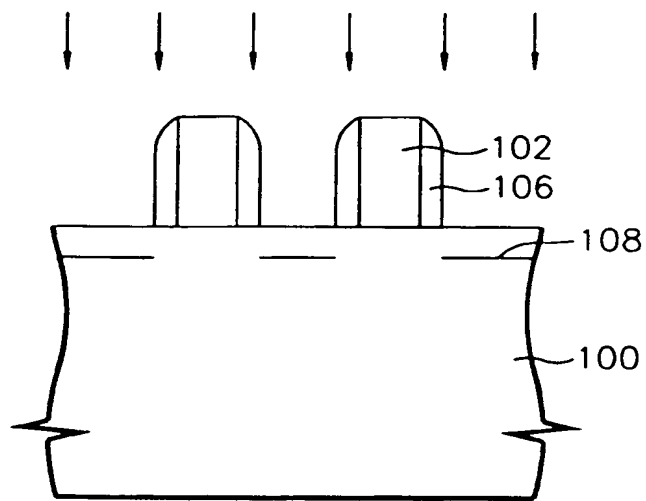
【도 3b】



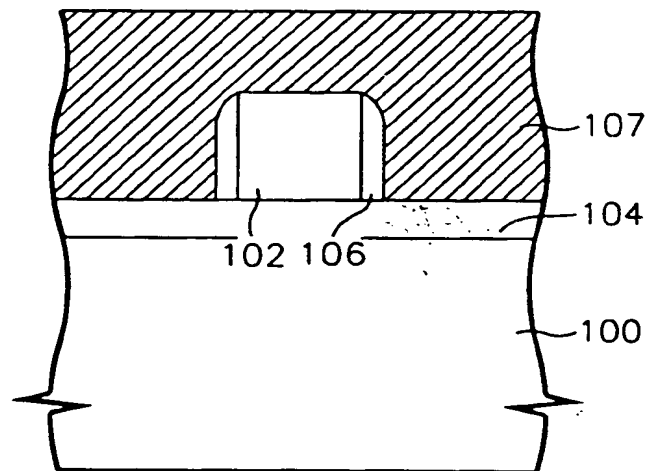
【도 3c】



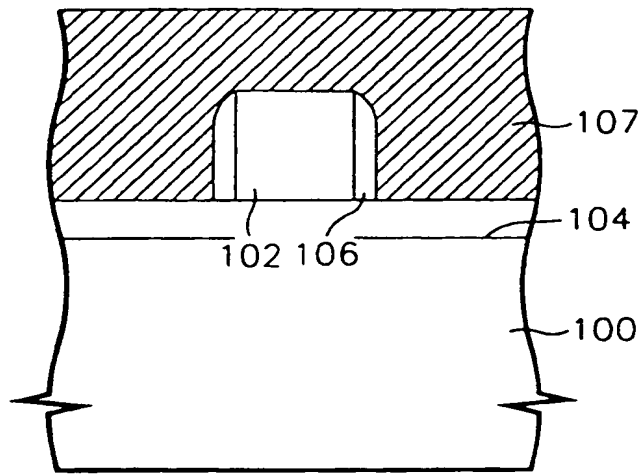
【도 4a】



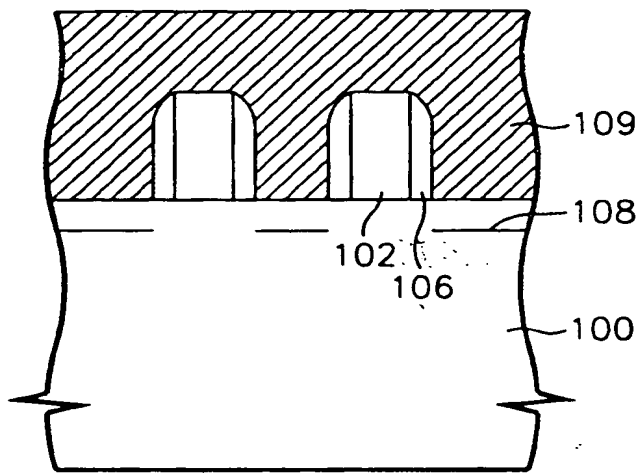
【도 4b】



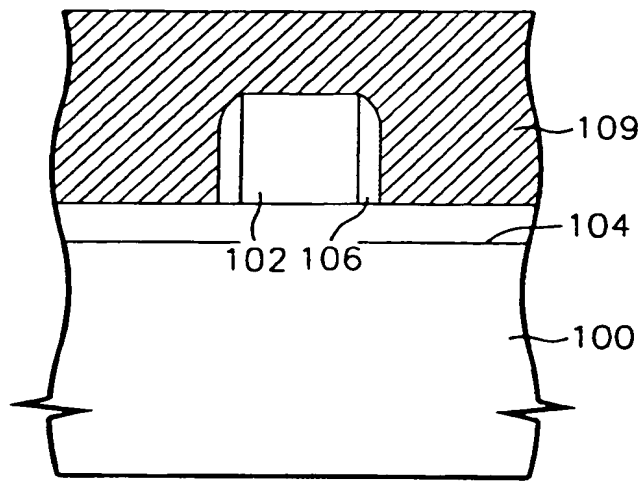
【도 4c】



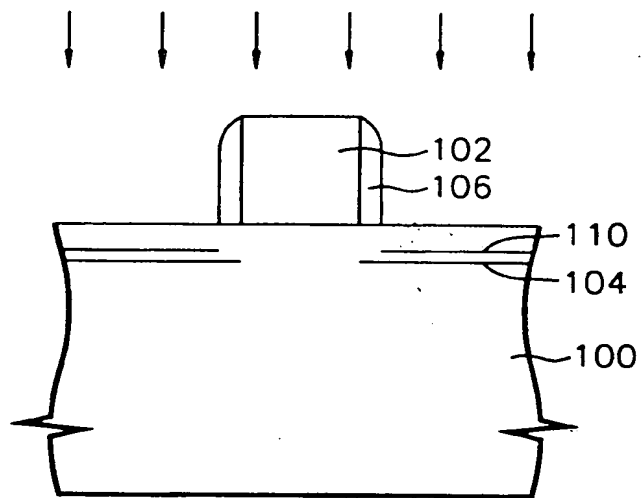
【도 5a】



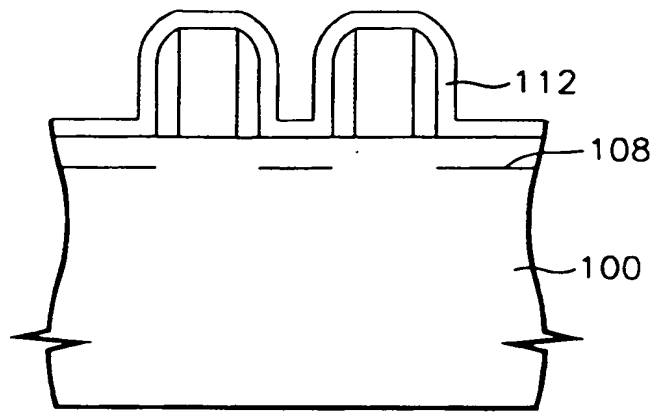
【도 5b】



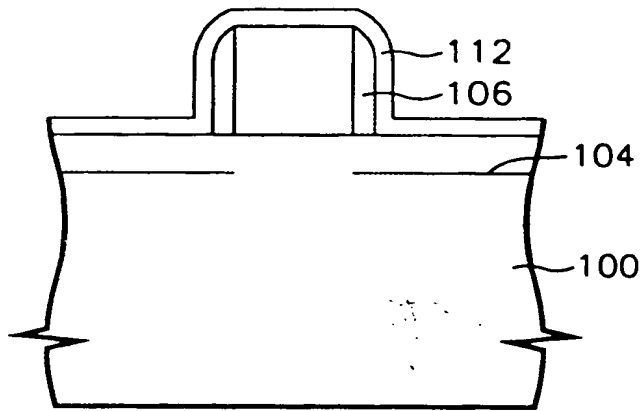
【도 5c】



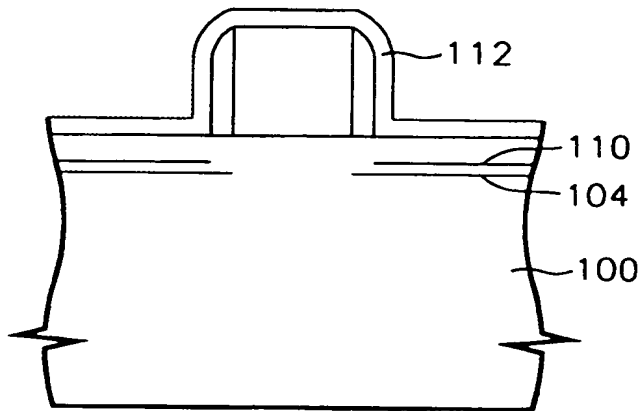
【도 6a】



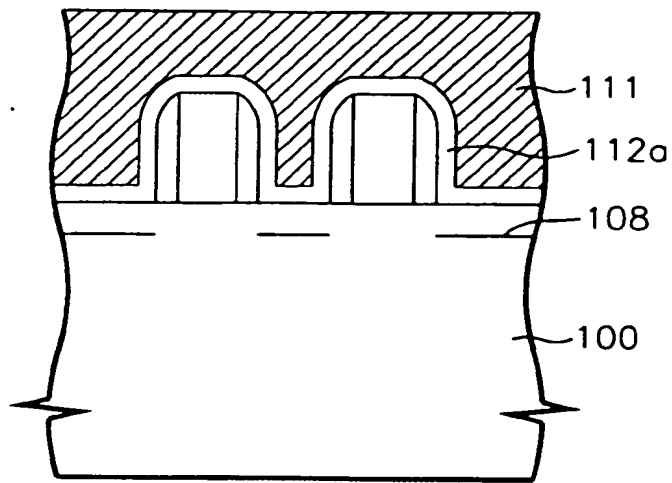
【図 6b】



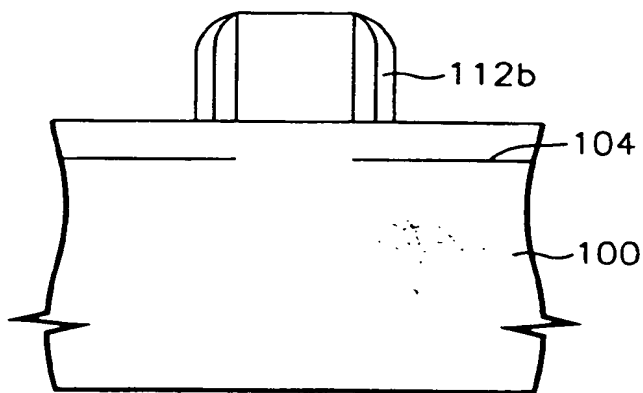
【図 6c】



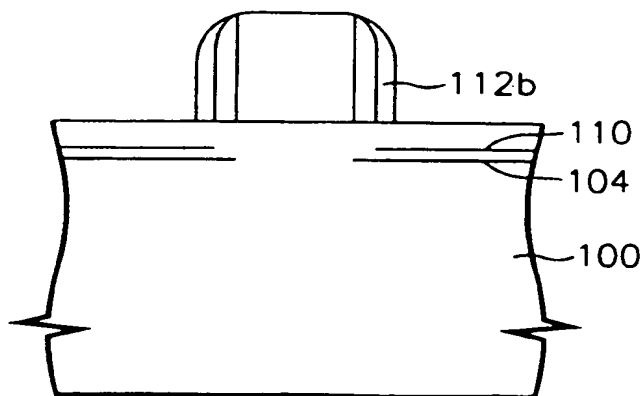
【図 7a】



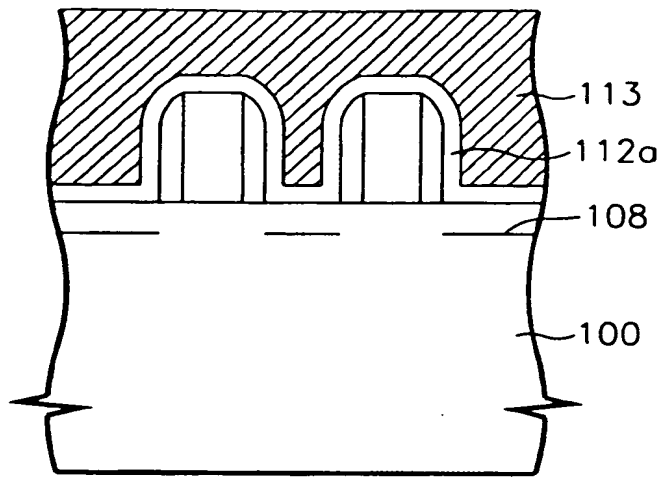
【図 7b】



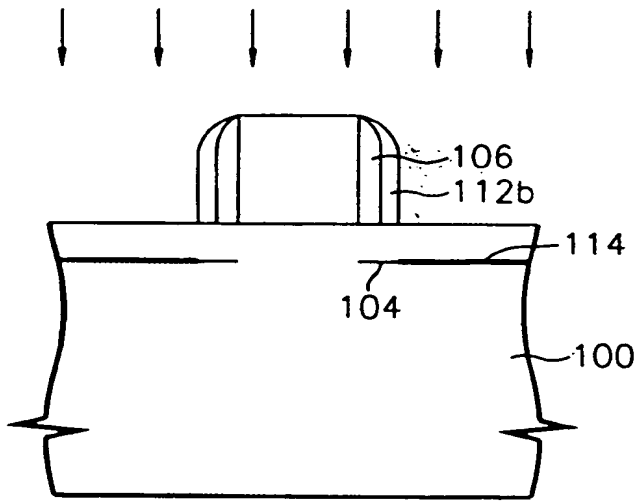
【図 7c】



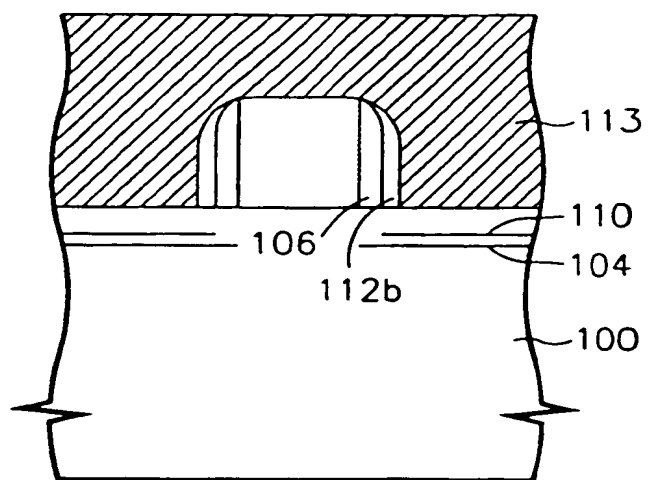
【도 8a】



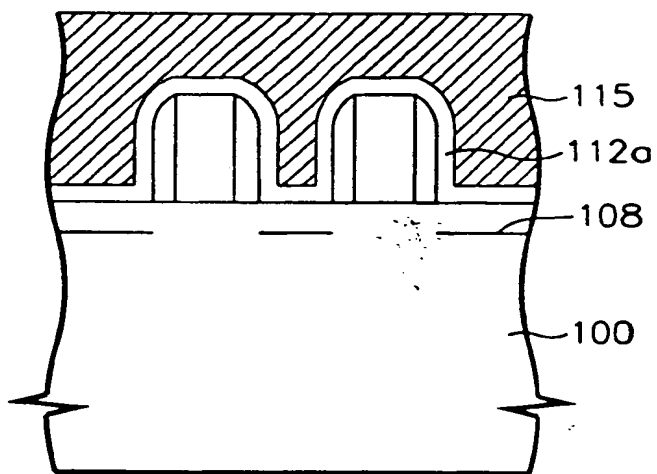
【도 8b】



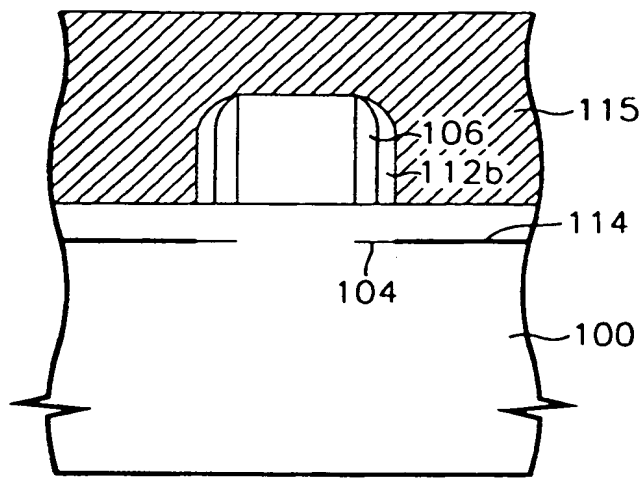
【도 8c】



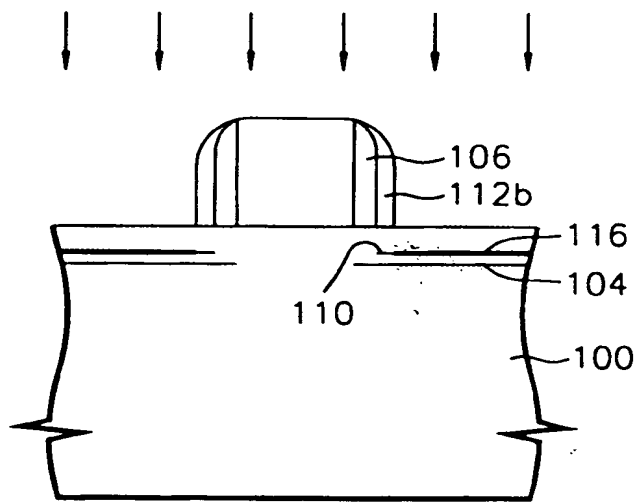
【도 9a】



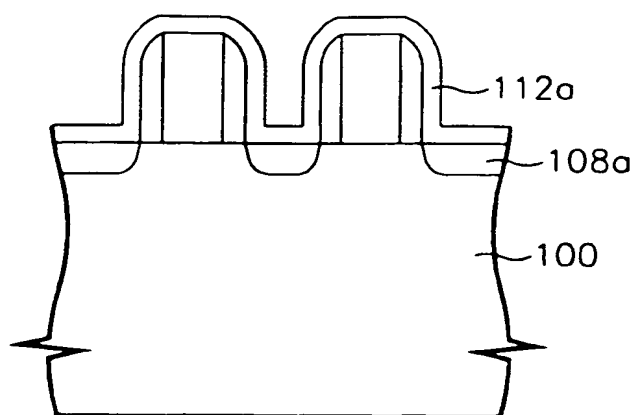
【도 9b】



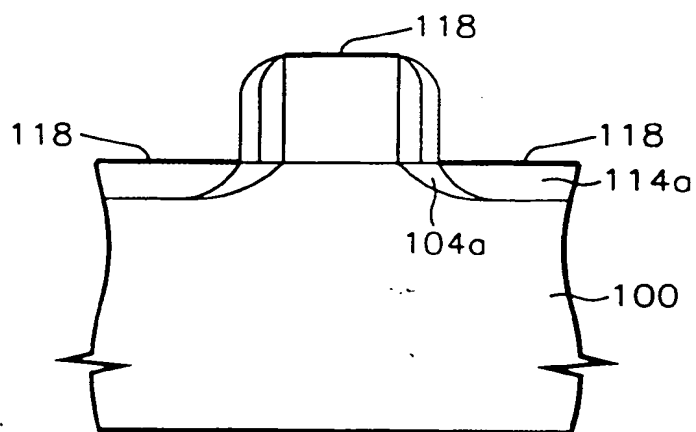
【도 9c】



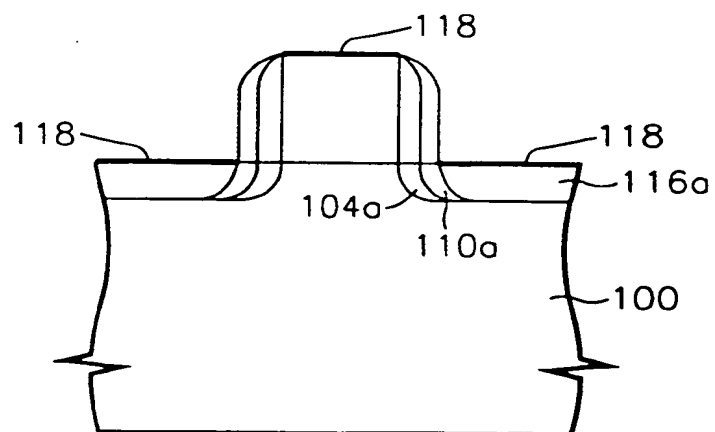
【도 10a】



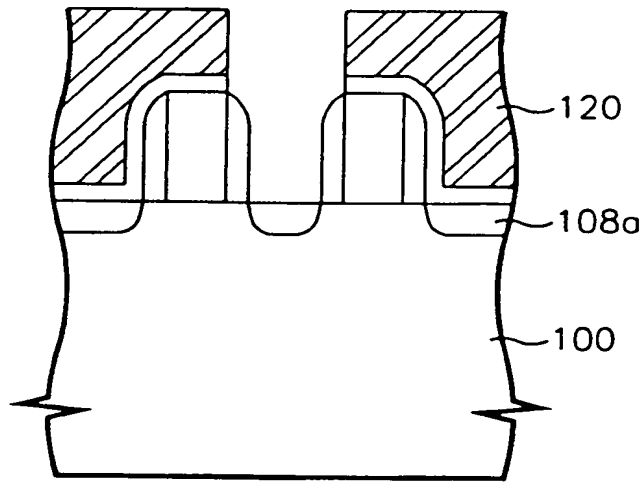
【도 10b】



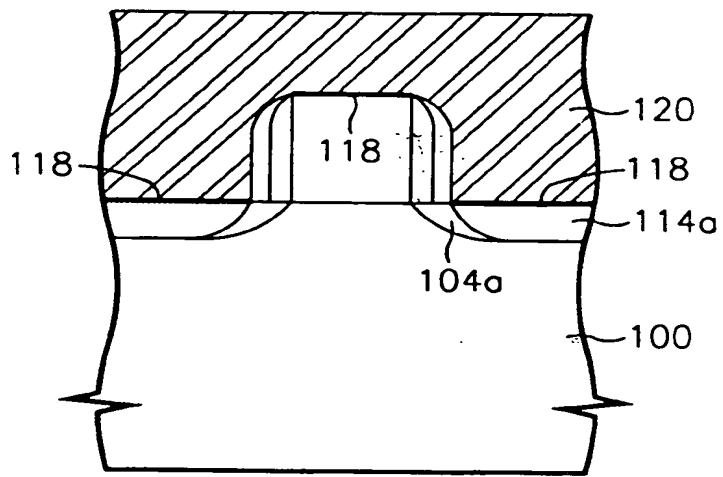
【도 10c】



【도 11a】



【도 11b】



【도 11c】

